

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57-33471

⑪ Int. Cl.³
G 11 C 9/06
G 06 F 13/00
15/16

識別記号

庁内整理番号
7056-5B
7361-5B
7165-5B

⑬ 公開 昭和57年(1982)2月23日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ マルチプロセッサシステムのメモリアクセス
制御方式

川崎市中原区上小田中1015番地
富士通株式会社内

⑮ 特 願 昭55-105503
⑯ 出 願 昭55(1980)7月31日
⑰ 発 明 者 角田治彦

⑮ 出 願 人 富士通株式会社
川崎市中原区上小田中1015番地
⑰ 復 代 理 人 弁理士 山谷皓榮

明 細 書

1. 発明の名称

マルチプロセッサシステムの
メモリアクセス制御方式

2. 特許請求の範囲

バッファ・メモリとディレクトリとを各装置毎
に有する複数台のプロセッサおよび各プロセッサ
に対応するコピー・ディレクトリをそなえ、共通
主メモリへのアクセスを行なう際他のプロセッサ
に関するコピー・ディレクトリを参照し、参照結
果にもとづいて当該メモリ・アクセスを許否決定
するマルチプロセッサシステムにおいて、各コピ
ー・ディレクトリに対応して、エリア・ロックす
べき主メモリ上のアドレスに対応するロック情報
がセットされるロック・レジスタおよび該ロック
・レジスタの内容にもとづいて自己のプロセッサ
からのメモリ・アクセス要求におけるアクセス要
求ブロック情報と他のプロセッサからのメモリ・

アクセス要求におけるアクセス要求ブロック情報
とを比較処理する比較回路をもち、該比較回路
による比較結果にもとづいて他のプロセッサから
のメモリ・アクセス要求の許否を決定するよう
成したことを特徴とするマルチプロセッサシス
テムのメモリアクセス制御方式。

3. 発明の詳細な説明

本発明はマルチプロセッサ・システムのメモリ
・アクセス制御方式に関し、特にバッファ・メモ
リ方式を採用しかつ共通主メモリへのアクセスを
行なうマルチプロセッサ・システムにおいて、バ
ッファ・メモリ上のロックすべきエリアをロッ
ク単位に限定するようにし共通主メモリに対して
複数のアクセス要求が競合する如き場合における
アクセス待ち時間を短縮することができるように
したマルチプロセッサ・システムのメモリ・アク
セス制御方式に関するものである。

周知の如く、メモリ・アクセスを高速に行なう
処理方式の1つとしてバッファ・メモリ方式がある

り、セット・アソシエティブ方式をとるバッファ・メモリ方式の概念 成は一般に第1図に図示する如きものである。第1図において、1は主メモリ、2はディレクトリ、3はバッファ・メモリを夫々表わしている。主メモリ1は例えば $(M+1) \times (N+1)$ 個の単位データ・ブロックに分割されている。バッファ・メモリ3は主メモリ1上の全単位データ・ブロック0ないし $[(M+1)(N+1)]$ のうち選択された単位データ・ブロックが格納される。この場合、選択された単位データ・ブロックは当該単位データ・ブロックが属する主メモリ2上のセット番号と同一セット番号をもつバッファ・メモリ3上の記憶領域内であつていずれかのアレイ番号に属する番地に格納される。ディレクトリ2は図示する如くバッファ・メモリ3と同一の論理構成をとり、バッファ・メモリ3上に格納された単位データ・ブロックのタグ・アドレス情報（主メモリ1のタグ番号に対応する。）をバッファ・メモリ3と同一の番地に格納する。メモリ・アクセスは次のようにして行なわれる。アクセ

ス先のアドレス情報によりディレクトリ2上のB番セット 号に属する例えば4個の単位記憶エリア内のタグ・アドレス情報を同時に読出すと共に読出されたタグ・アドレス情報を上記アクセスアドレスのタグ・アドレス情報と比較する。いれか1つが比較一致である場合、該一致がとらえたディレクトリ2単位記憶エリアに対応するバッファ・メモリ3単位記憶エリア内の格納情報即単位データ・ブロックが読出され演算処理が行われる。一方、すべて比較不一致である場合、バッファ・メモリ3上に所望のデータが存在しないと判断され、主メモリ1をアクセスし所望データを読出す。そして該読出データを用いて算処理を行なうと共に該読出データをバッファ・メモリ3上の同一セット番号に属する単位記憶エリアにブロック単位で転送する。

この種のバッファ・メモリ方式を複数台のプロセッサ装置に適用したマルチプロセッサ・システムは例えば第2図に図示する如き 成をとる。中、1は共通主メモリ、2-0ないし2-8は

ディレクトリ、3-0ないし3-8は夫々ディレクトリ2-0ないし2-8に対応するバッファ・メモリ、4はメモリ・コントロール・ユニット（以下MCUという。）、5-0ないし5-8は夫々プロセッサ（以下CPUという。）、6-0ないし6-8は夫々コピー・ディレクトリでありディレクトリ2-0ないし2-8と同一の内容をもつものを夫々表わしている。

この種のマルチプロセッサ・システムは、一般に共通主メモリ1を複数のCPU5-0ないし5-8で共有することにもとづくデータの不一致を考慮して次のような制御が行なわれる。共通主メモリ1上の同一の番地に対して複数のCPU5-0ないし5-8からのアクセス要求が競合すると、例えば予め定めた優先順位にもとづいて優先権の最も高い（例えば最先にアクセスした）CPU5-0ないし5-8の要求のみを許可する。許可されたCPU5-0ないし5-8は当該アクセス番地上のデータをブロック単位で共通主メモリ1上から読出し、該読出しデータは自己のバッファ・

メモリ3-0ないし3-8に転送し格納され、一時的に使用される。この間、メモリ・アクセスが許可されなかつた他のCPU5-0ないし5-8は待機状態に維持され少なくとも命令の完了するまでメモリ・アクセスを許可され、換言すれば許可されたCPU5-0ないし5-8のバッファ・メモリ3-0ないし3-8の全記憶領域は他のCPU5-0ないし5-8から見えな状態即ちロック状態にされる。このため、例えばCPU5-0ないし5-8からのコピー・ディレクトリ参照要求が上記の如き転送ブロックデータに対応するものであつてもメモリ・アクセスが禁止されることとなる。

本発明は上記の点を解決することを目的と本来ロックすべきブロック領域のみをロックの記憶領域に対する他のCPUからのメモリアクセス要求については当該アクセスを許可すことによりシステム全体の平均アクセス待ち時間短縮化できるようにすることを目的としていそしてそのため本発明のマルチプロセッサシ

ムのメモリアクセス制御方式は、バッファ・メモリとディレクトリとを各装置毎に有する複数台のプロセッサおよび各プロセッサに対応するコピー・ディレクトリをそなえ、共通主メモリへのアクセスを行なう際他のプロセッサに関するコピー・ディレクトリを参照し参照結果にもとずいて当該メモリアクセスを許否決定するマルチプロセッサシステムにおいて、各コピー・ディレクトリに対応して、エリア・ロックすべき主メモリ上のアドレスに対応するロック情報がセットされるロック・レジスタおよび該ロック・レジスタの内容にもとずいて自己のプロセッサからのメモリ・アクセス要求におけるアクセス要求ブロック情報と他のプロセッサからのメモリ・アクセス要求におけるアクセス要求ブロック情報とを比較処理する比較回路をもうけ、該比較回路による比較結果にもとずいて他のプロセッサからのメモリアクセス要求の許否を決定するよう構成したことを特徴としている。以下第3図を参照しつつ本発明を説明する。

第3図は本発明の一実施例における主要部構成

アドレス・レジスタ9にセットされるアクセス・アドレス情報に対応するロック情報がセットされる。ここでロック情報とは当該アクセス・アドレス情報がロックされているか否かを指示する情報と考えてよい。比較回路11-0は他アドレス・レジスタ8内のタグ・アドレス情報と自アドレス・レジスタ9内のタグ・アドレス情報とを比較処理し、一方他の比較回路11-1は他アドレス・レジスタ8内のセット・アドレス情報と自アドレス・レジスタ9内のセット・アドレス情報とを比較処理する。即ち比較回路11-0および他の比較回路11-1により、自己のCPU5-0ないし5-8の1つからのメモリ・アクセス要求におけるアクセス要求ブロックと他のCPU5-0ないし5-8からのメモリ・アクセス要求におけるアクセス要求ブロックとの一致・不一致が検出される。この比較処理に当つて、ロック・レジスタ13の内容が例えば論理「1」の場合は、上述した如き比較処理が有効なものとされ、自己のCPU5-0ないし5-8の1つと他のCPU5-0な

であり各CPU5-0ないし5-8に1対1に対応するものを示している。图中、7はコピー・ディレクトリであり第2図図示の各コピー・ディレクトリ6-0ないし6-8に対応するもの、7-1ないし7-3は同一アレイ番号に属する単位コピー・ディレクトリ、8は他のCPU5-0ないし5-8からの命令アドレス情報がセットされる他アドレス・レジスタ、9は自己のCPU5-0ないし5-8からの命令アドレス情報がセットされる自アドレス・レジスタ、10-0ないし10-3は夫々比較回路、11-0および11-1は夫々比較回路、12は否定入力付ナンド・ゲート、13はロック・レジスタを夫々表わしている。

他アドレス・レジスタ8には他のCPU5-0ないし5-8からメモリ・アクセス要求が発生した場合におけるアクセス・アドレス情報がセットされる。自アドレス・レジスタ9には自己CPU5-0ないし5-8の1つからメモリ・アクセス要求が発生した場合におけるアクセス・アドレス情報がセットされる。ロック・レジスタ13には自

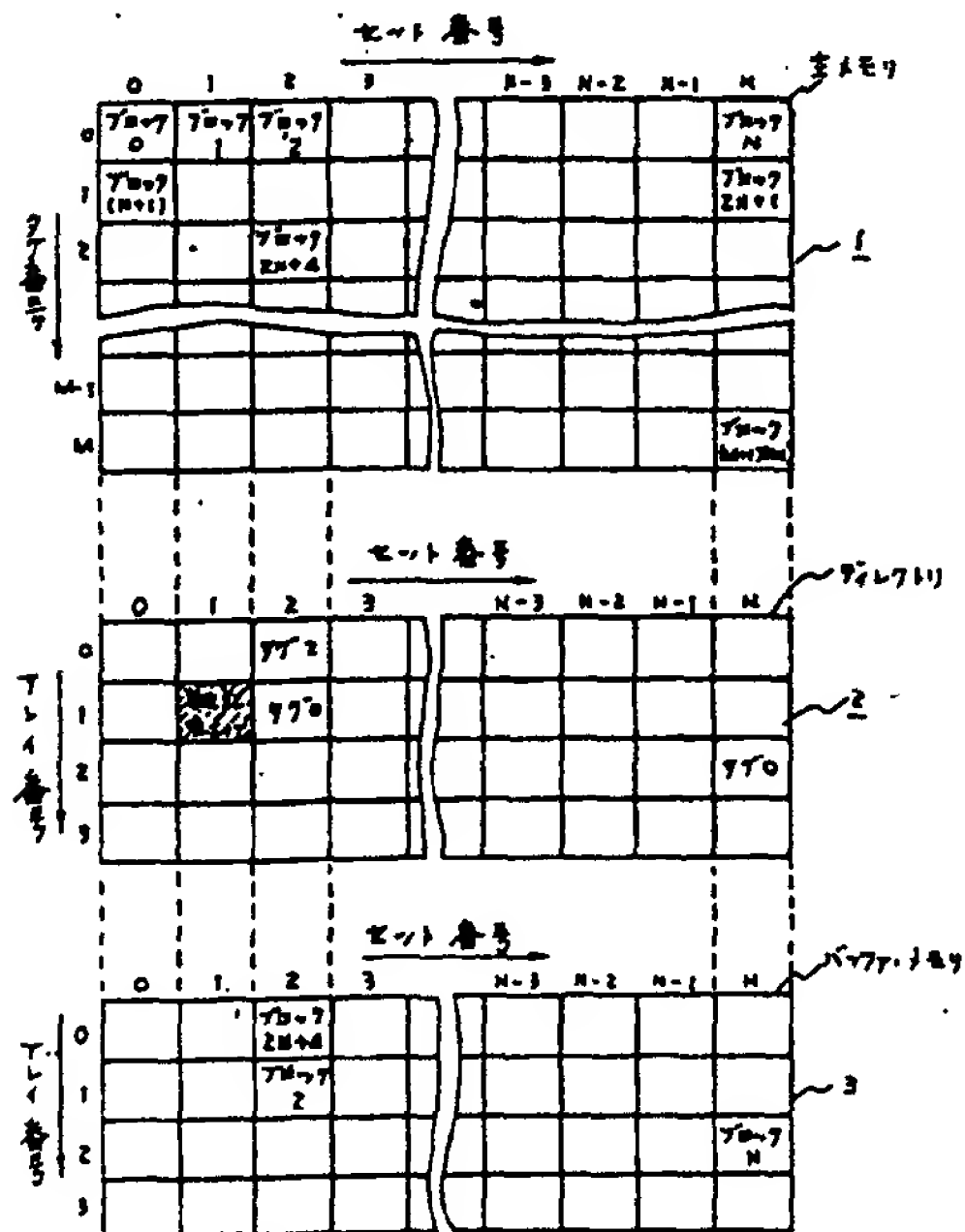
いし5-8がともに同一ブロックをアクセスする場合には比較回路11-0および他の比較回路11-1からの各比較一致出力により否定入力付ナンド・ゲート12の出力は論理「0」となり、一方異ブロックをアクセスする場合には否定入力付ナンド・ゲート12の出力は論理「1」となる。また上記比較処理に当つて、ロック・レジスタ13の内容が論理「0」の場合には、同一ブロックに対するアクセスおよび異ブロックに対するアクセスを問わず、比較回路11-0および他の比較回路11-1による比較処理は無効化され否定入力付ナンド・ゲート12の出力は論理「1」とされる。否定入力付ナンド・ゲート12の出力は他のCPU5-0ないし5-8に入力され、他のCPU5-0ないし5-8は当該入力信号にもとずいてアクセスの許否が決定される。

このように自己のCPU5-0ないし5-8からのメモリ・アクセス要求と他のCPU5-0ないし5-8からのメモリ・アクセス要求とが競合しかつロック指示された自己のアクセス要求ブ

ックと他のアクセス要求ブロックとが同一である場合に限る。他のCPU 5-0ないし5-8はメモリ・アクセスが禁止され、その他の場合にはメモリ・アクセスが許可される。一方自己のCPU 5-0ないし5-8からのメモリ・アクセス要求はロック情報の内容を問わず自由に行なうことが許される。なおコピー・ディレクトリと他アドレス・レジスタ9と比較回路11-0ないし11-3とで構成されるシステムは通常のコピー・ディレクトリ参照処理と同様の処理動作が行なわれる。

以上説明した如く、本発明はマルチプロセッサ・システムにおいて、通常のコピー・ディレクトリ参照処理を利用して他のCPUからのメモリ・アクセス要求におけるアクセス要求ブロックがロックされているブロックであるか否かを判断し、該当する場合のみ当該メモリ・アクセス要求を許可しないようにした。このためメモリ・アクセス要求の許可率が増大し、システム全体としての平均アクセス待ち時間の短縮を実現することができる。

図 1



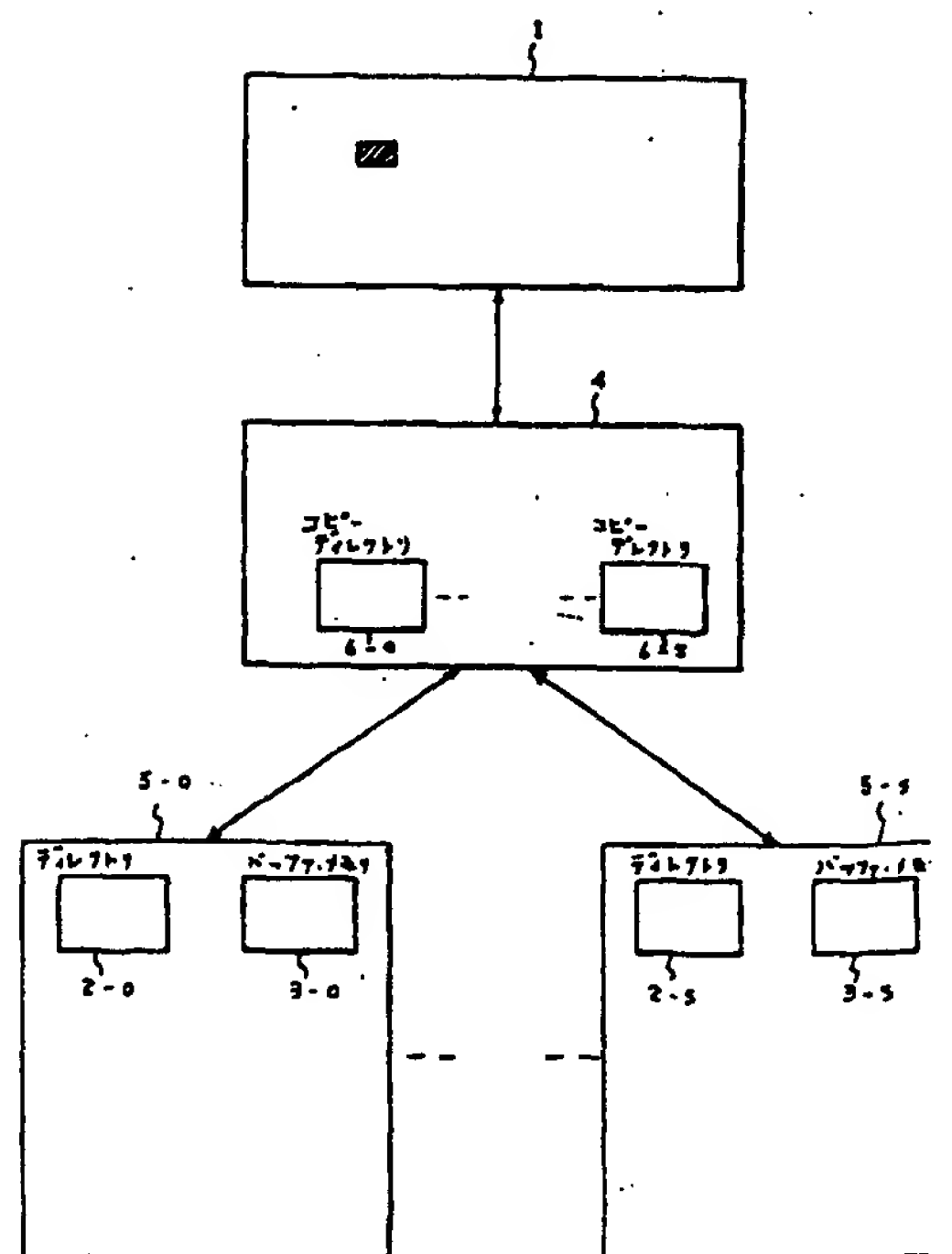
4. 図面の簡単な説明

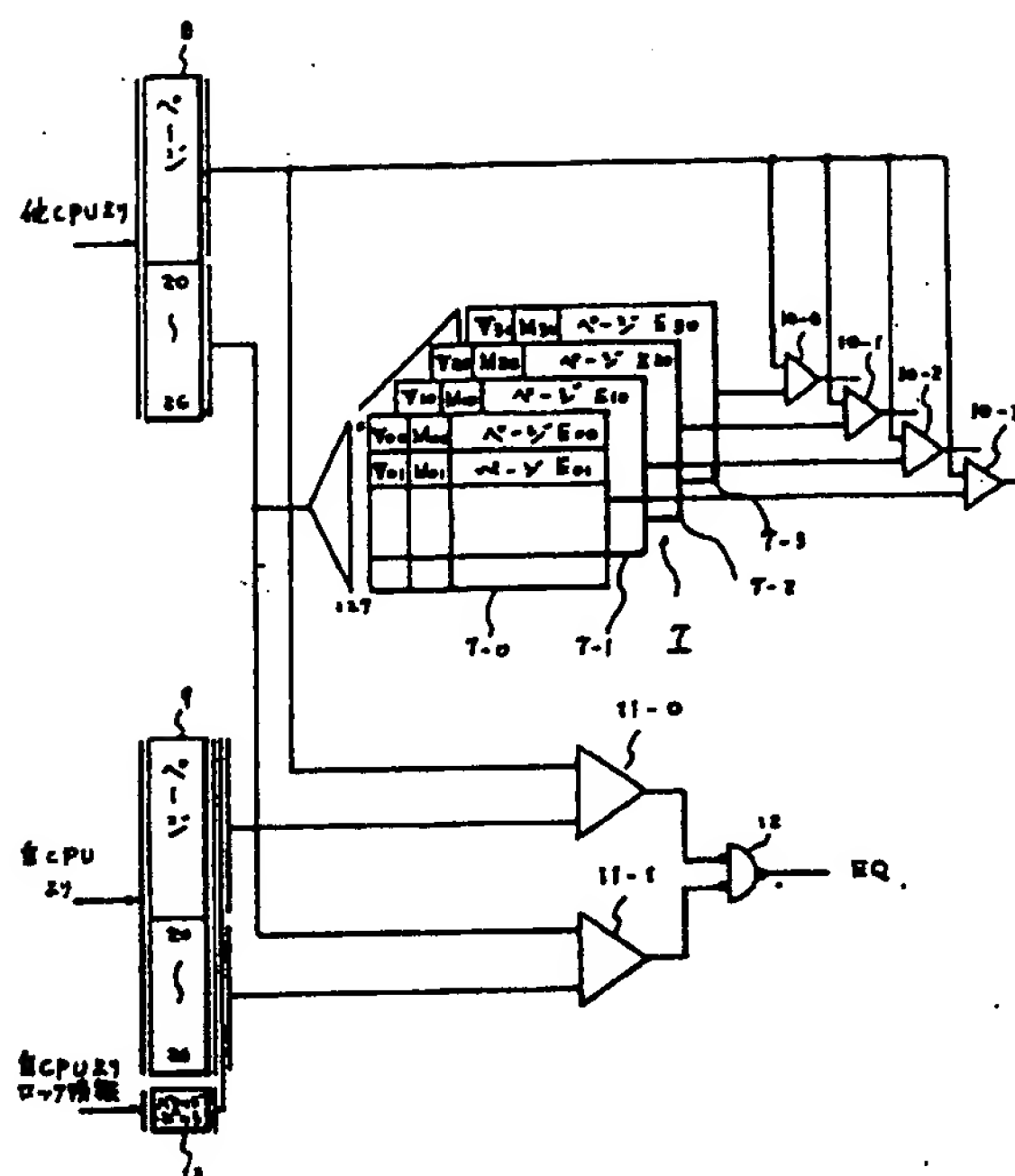
第1図は本発明に適用される一実施例パツフ・メモリ方式を概念的に表わした図、第2図は本発明が適用されるマルチプロセッサ・システムの一実施例構成、第3図は本発明の一実施例における主要部構成を夫々示す。

図中、1は共通主メモリ、2-0ないし2-9は夫々ディレクトリ、3-0ないし3-8は夫々パツファ・メモリ、5-0ないし5-8は夫々プロセッサ、6-0ないし6-8は夫々コピー・ディレクトリ、11-0および11-1は夫々比較回路、13はロック・レジスタを夫々表わす。

特許出願人 富士通株式会社
復代理人弁理士 山谷 昭

図 2





* 3 四